

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2000340696
 PUBLICATION DATE : 08-12-00

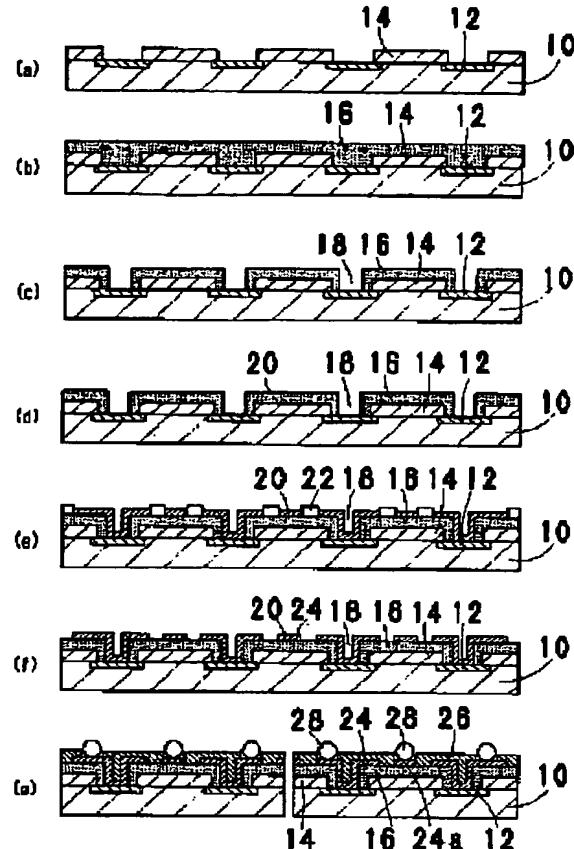
APPLICATION DATE : 31-05-99
 APPLICATION NUMBER : 11150886

APPLICANT : MATSUSHITA ELECTRIC WORKS LTD;

INVENTOR : OGAWA SATORU;

INT.CL. : H01L 23/12

TITLE : MANUFACTURE OF
 SEMICONDUCTOR PACKAGE



ABSTRACT : PROBLEM TO BE SOLVED: To prevent insufficient conduction between the terminal part and the electrode of a chip by roughening the surface of an insulation layer and forming a conductive film thereon and the wall face of through holes after removing residual resin on the bottom part of the through holes.

SOLUTION: Since a conductive film 20 is formed on the wall face of through holes 18 after removing residual resin on the bottom part thereof, insufficient conduction between the terminal part 12 and the electrode part 24a of a semiconductor chip is prevented in a semiconductor package. Since the conductive film 20 is formed on the surface of an insulation layer 16 after roughening the surface thereof, adhesion is enhanced between the insulation layer 16 and the conductive film 20 and thereby a high density conductor circuit 24 can be formed. The semiconductor package can deal with high density wiring while suppressing insufficient conduction between the terminal part 12 and the electrode part 24a of a semiconductor chip.

COPYRIGHT: (C)2000,JPO

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-340696
(P2000-340696A)

(43) 公開日 平成12年12月8日 (2000.12.8)

(51) Int.Cl.⁷
H 0 1 L 23/12

識別記号

F I
H 0 1 L 23/12

デーマコード* (参考)
L

審査請求 未請求 請求項の数9 O.L. (全7頁)

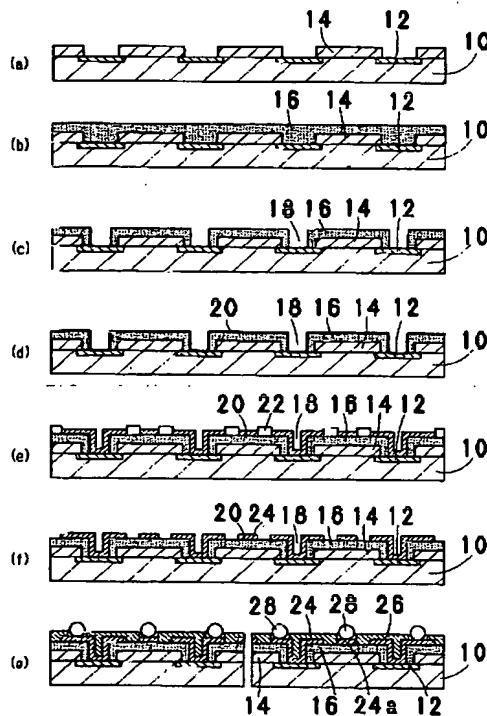
(21) 出願番号	特願平11-150886	(71) 出願人	000005832 松下電工株式会社 大阪府門真市大字門真1048番地
(22) 出願日	平成11年5月31日 (1999.5.31)	(72) 発明者	小川 哲 大阪府門真市大字門真1048番地松下電工株式会社内
		(74) 代理人	100111556 弁理士 安藤 淳二 (外3名)

(54) 【発明の名称】 半導体パッケージの製造方法

(57) 【要約】

【課題】 半導体素子の端子部12が表面に形成された半導体ウエハー10の表面に、絶縁樹脂を供給して、底面に半導体素子の端子部12が露出する経由穴18を備えた絶縁層16を形成した後、その経由穴18の壁面及び絶縁層16の表面に導体皮膜20を形成して製造する半導体パッケージの製造方法であって、半導体チップの端子部12と電極24a間の導通不良が発生しにくいために、高密度配線に対応可能な半導体パッケージの製造方法を提供する。

【解決手段】 絶縁層16の表面を粗面化するとともに、経由穴18の底部に残留する樹脂残りを除去した後、経由穴18の壁面及び絶縁層16の表面に導体22を形成する。



【特許請求の範囲】

【請求項1】 半導体素子の端子部が表面に形成された半導体ウエハーの表面に、絶縁樹脂を供給して、底面に半導体素子の端子部が露出する経由穴を備えた、絶縁層を形成した後、その経由穴の壁面及び絶縁層の表面に導体皮膜を形成し、次いで半導体ウエハーを半導体個片に切断して製造する半導体パッケージの製造方法において、経由穴の壁面及び絶縁層の表面に導体皮膜を形成する方法が、絶縁層の表面を粗面化すると共に、経由穴の底部に残留する樹脂残りを除去した後、経由穴の壁面及び絶縁層の表面に導体皮膜を形成する方法であることを特徴とする半導体パッケージの製造方法。

【請求項2】 経由穴の壁面及び絶縁層の表面に導体皮膜を形成する方法が、無電解メッキを行ってセミアディティブ法により形成する方法であることを特徴とする請求項1記載の半導体パッケージの製造方法。

【請求項3】 半導体ウエハーの表面に絶縁樹脂を供給する方法が、液状の絶縁樹脂を半導体ウエハーの表面に塗工する方法、又は、フィルム状に成形された絶縁樹脂を半導体ウエハーの表面に熱圧着する方法であることを特徴とする請求項1又は請求項2記載の半導体パッケージの製造方法。

【請求項4】 半導体ウエハーの表面に絶縁樹脂を供給する方法が、半導体ウエハーの表面にカップリング処理を行った後、その半導体ウエハーの表面に絶縁樹脂を供給する方法であることを特徴とする請求項1から請求項3のいずれかに記載の半導体パッケージの製造方法。

【請求項5】 半導体ウエハーの表面に供給する絶縁樹脂が、エポキシ樹脂であることを特徴とする請求項1から請求項4のいずれかに記載の半導体パッケージの製造方法。

【請求項6】 経由穴を備えた絶縁層を形成する方法が、半導体ウエハーの表面に絶縁層を形成した後、UV-YAGレーザー又はエキシマレーザーを照射することにより、絶縁層の所定の部分を除去して形成する方法であることを特徴とする請求項1から請求項5のいずれかに記載の半導体パッケージの製造方法。

【請求項7】 絶縁層の表面を粗面化すると共に、経由穴の底部に残留する樹脂残りを除去する方法が、絶縁層の表面及び経由穴の底部に残留する樹脂残りに、過マンガン酸塩を含有するデスマニア液を接触させる方法であることを特徴とする請求項1から請求項6のいずれかに記載の半導体パッケージの製造方法。

【請求項8】 絶縁層の表面に導体皮膜を形成する方法が、絶縁層の表面を研磨して平坦化した後、導体皮膜を形成する方法であることを特徴とする請求項1から請求項7のいずれかに記載の半導体パッケージの製造方法。

【請求項9】 絶縁層の表面を粗面化すると共に経由穴の底部に残留する樹脂残りを除去する際の絶縁層が、半硬化状態の絶縁樹脂より成り、経由穴の壁面及び絶縁層

の表面に導体皮膜を形成した後、完全硬化させることを特徴とする請求項1から請求項8のいずれかに記載の半導体パッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップと同サイズの半導体パッケージを製造する方法に関するものである。更に、半導体ウエハーレベルで半導体パッケージを製造する方法に関するものである。

【0002】

【従来の技術】電子部品として、母基板（半導体パッケージを実装するプリント配線板）に実装するための針状の端子やボール状の端子を有する半導体パッケージが汎用されている。

【0003】近年の電子機器の軽薄短小化、高性能化に伴い、使用される電子部品は、小型化、高機能化のものが要求されており、この流れに呼応し、半導体チップと同サイズの半導体パッケージ（チップサイズパッケージ）が開発されている。この半導体チップと同サイズの半導体パッケージを実装するための端子としては、半導体ウエハー上に絶縁層を介して導体回路を設けることにより、半導体パッケージの下面全面に電極の群を配置し、その電極に端子を設けることが検討されている。

【0004】この下面全面に電極群を配置した半導体パッケージの製造方法としては、例えば特開平10-92865号や特開平10-303327号に記載されているように、半導体素子が形成された半導体ウエハーの表面に、絶縁樹脂を供給して絶縁層を形成した後、レーザーを照射したり、フォトプロセスを用いて樹脂エッチングする方法により、半導体素子の端子部が底面に露出する経由穴を絶縁層に形成し、次いで、蒸着やメッキ等を行って、絶縁層の表面及び経由穴の壁面に導体の皮膜を形成し、次いでこの導体皮膜の所定の部分を除去して導体回路を形成する方法が検討されている。

【0005】なお、これらの方法で得られた半導体パッケージは、絶縁層と導体回路との密着性が低く、微細な回路は形成しにくいという問題があった。なお、絶縁層と導体回路との密着性を確保するために、酸素プラズマにより樹脂表面を粗面化処理する方法が、特開平10-092865号に示されている。しかし、この方法は、大がかりな設備が必要となり、生産性が低いという問題があった。また、レーザーを照射して経由穴を絶縁層に形成した場合、穴開けをしたときの樹脂残りによって、経由穴の壁面に導体皮膜が形成されにくく、半導体チップの端子部と電極間の導通不良が発生しやすいという問題があった。

【0006】

【発明が解決しようとする課題】本発明は、上記問題点を改善するために成されたもので、その目的とするところは、半導体素子の端子部が表面に形成された半導体ウ

エハーの表面に、絶縁樹脂を供給して、底面に半導体素子の端子部が露出する経由穴を備えた、絶縁層を形成した後、その経由穴の壁面及び絶縁層の表面に導体皮膜を形成し、次いで半導体ウエハーを半導体個片に切断して製造する半導体パッケージの製造方法であって、半導体チップの端子部と電極間の導通不良が発生しにくくと共に、高密度配線に対応可能な半導体パッケージの製造方法を提供することにある。

【0007】

【課題を解決するための手段】本発明に係る半導体パッケージの製造方法は、半導体素子の端子部が表面に形成された半導体ウエハーの表面に、絶縁樹脂を供給して、底面に半導体素子の端子部が露出する経由穴を備えた、絶縁層を形成した後、その経由穴の壁面及び絶縁層の表面に導体皮膜を形成し、次いで半導体ウエハーを半導体個片に切断して製造する半導体パッケージの製造方法において、経由穴の壁面及び絶縁層の表面に導体皮膜を形成する方法が、絶縁層の表面を粗面化すると共に、経由穴の底部に残留する樹脂残りを除去した後、経由穴の壁面及び絶縁層の表面に導体皮膜を形成する方法であることを特徴とする。

【0008】上記経由穴の壁面及び絶縁層の表面に導体皮膜を形成する方法は、無電解メッキを行ってセミアディティブ法により形成する方法であると好ましい。また、上記半導体ウエハーの表面に絶縁樹脂を供給する方法は、液状の絶縁樹脂を半導体ウエハーの表面に塗工する方法、又は、フィルム状に成形された絶縁樹脂を半導体ウエハーの表面に熱圧着する方法であると好ましく、また、上記半導体ウエハーの表面に絶縁樹脂を供給する方法は、半導体ウエハーの表面にカップリング処理を行った後、その半導体ウエハーの表面に絶縁樹脂を供給する方法であると好ましい。

【0009】また、上記半導体ウエハーの表面に供給する絶縁樹脂は、エポキシ樹脂であると好ましく、また、上記経由穴を備えた絶縁層を形成する方法は、半導体ウエハーの表面に絶縁層を形成した後、UV-YAGレーザー又はエキシマレーザーを照射することにより、絶縁層の所定の部分を除去して形成する方法であると好ましく、また、上記絶縁層の表面を粗面化すると共に、経由穴の底部に残留する樹脂残りを除去する方法は、絶縁層の表面及び経由穴の底部に残留する樹脂残りに、過マンガン酸塩を含有するデスマニア液を接触させる方法であると好ましい。

【0010】また、上記絶縁層の表面に導体皮膜を形成する方法は、絶縁層の表面を研磨して平坦化した後、導体皮膜を形成する方法であると好ましく、また、上記絶縁層の表面を粗面化すると共に、経由穴の底部に残留する樹脂残りを除去する際の絶縁層は、半硬化状態の絶縁樹脂より成り、経由穴の壁面及び絶縁層の表面に導体皮膜を形成した後、完全硬化させると好ましい。

【0011】

【発明の実施の形態】本発明に係る半導体パッケージの製造方法を図面に基づいて説明する。図1は、本発明に係る半導体パッケージの製造方法の一実施の形態の、工程を説明する断面図である。

【0012】本発明に係る半導体パッケージの製造方法の一実施の形態は、図1(a)に示すような半導体ウエハー10を用いる。この半導体ウエハー10には、複数の半導体素子が形成されており、その半導体素子の端子部12が、半導体ウエハー10の表面に露出するように配設されている。この端子部12としては、導電性のものであれば、特に限定するものではなく、アルミニウム等により形成されている。

【0013】なお、後工程で、端子部12の表面にレーザーを照射して経由穴18を形成する場合には、端子部12の表面にバリアメタル層を形成しておくと、レーザー加工に対する耐久性が向上して好ましい。このバリアメタル層としては、Pt、Pd、Ni、Rh、Cu、W、Mo、Cr、Vからなる少なくとも1つの金属、又はこれらの合金の皮膜が挙げられる。

【0014】また、半導体ウエハー10の表面のうち、端子部12が形成されていない部分は、パッシベーション膜14が形成されている。このパッシベーション膜としては、一般的には、二酸化ケイ素、リンケイ酸塩ガラス(PSG)、窒化ケイ素系等の無機系のものや、ポリイミド、ベンゾシクロブテン(BCB)等の有機系のものが使用される。なお、このパッシベーション膜14は形成していなくても良いが、形成してあると、得られる半導体パッケージの信頼性が向上して好ましい。このパッシベーション膜14としては、特に限定されないが、PSG、二酸化ケイ素、窒化ケイ素系等の無機系のものが好ましい。

【0015】次いで、図1(b)に示すように、半導体ウエハー10の表面に、絶縁樹脂を供給して、絶縁層16を形成する。この絶縁層16の形成に使用される絶縁樹脂としては、エポキシ樹脂、ポリイミド樹脂等の公知のものが使用でき、特に種類は限定されないが、コスト及び信頼性の面から、エポキシ樹脂が好ましい。そして、絶縁樹脂が液状の絶縁樹脂の場合には、スピンドルコート、ダイコート等の方法により、液状の絶縁樹脂を半導体ウエハー10の表面に塗工した後、乾燥して絶縁樹脂を硬化させることにより形成する。また、絶縁樹脂がフィルム状に成形された絶縁樹脂の場合には、真空ラミネーター等により、熱圧着した後、絶縁樹脂を硬化させることにより形成する。

【0016】この絶縁層16の厚みとしては、特に限定されないが、20~70μm、より好ましくは、30~50μmとする。

【0017】なお、後工程で形成する導体皮膜20と絶縁層16との密着性を確保するためには、絶縁樹脂を完

全に硬化させずに半硬化状態に止めておき、絶縁層16の表面に導体皮膜20を形成した後、完全硬化させると好ましい。

【0018】また、半導体ウエハー10の表面にカップリング処理を行った後、その半導体ウエハー10の表面に絶縁樹脂を供給すると、半導体ウエハー10と絶縁層16との密着性が向上して好ましい。このカップリング処理の方法としては、例えば、水又はアルコール等の溶剤に、カップリング剤を0.1~2重量%の濃度で溶かした溶液を、半導体ウエハー10の表面に塗布した後、乾燥して行う。この塗布方法としては、浸漬、スプレー等の方法が使用できる。また、使用するカップリング剤としては、例えば、ビニルメトキシシラン、ビニルフェニルトリメトキシシラン、3-メタクリロオキシプロピルトリメトキシシラン、3-グリシドキシプロピルトリメトキシシラン、4-グリシジルブチルトリメトキシシラン、3-アミノプロピルトリエトキシシラン、N-2-(アミノエチル)-3-アミノプロピルトリメトキシシラン、N-2-(N-ビニルベンジルアミノエチル)-3-アミノプロピルトリメトキシシラン塩酸塩、N-3-(4-(3-アミノプロポキシ)ブトキシ)プロピル-3-アミノプロピルトリメトキシシラン、3-メルカプトプロピルトリメトキシシラン、イミダゾールシラン、トリアジンシラン等のシラン系カップリング剤が挙げられる。

【0019】また、半導体ウエハー10の表面にパッシベーション膜14を形成したものについては、パッシベーション膜14の表面を粗面化した後、その半導体ウエハー10の表面に絶縁樹脂を供給すると、半導体ウエハー10と絶縁層16との密着性が向上して好ましい。この粗面化の方法としては、プラスト処理等の方法が挙げられる。なお、粗面化処理とカップリング処理等を併用しても構わない。

【0020】次いで、図1(c)に示すように、絶縁層16の所定の部分にレーザーを照射して、絶縁層16の所定の部分を除去することにより、底面に半導体素子の端子部12が露出する経由穴18を形成する。このレーザーとしては、炭酸ガスレーザー、UV-YAGレーザー、エキシマレーザー等の公知のものを使用することができるが、UV-YAGレーザー又はエキシマレーザーを用いると、特に微小な経由穴18を形成することができ好ましい。

【0021】なお、半導体ウエハー10の表面に、感光性の絶縁樹脂を供給して絶縁層16を形成した場合には、フォトプロセスを使用して、露光しなかった部分の絶縁樹脂を薬液等で除去する方法により、経由穴18を形成しても良い。もちろん、感光性の絶縁樹脂を用いた場合でも、レーザーを用いて、経由穴18を形成しても構わない。

【0022】また、経由穴18を形成する前又は後に、

絶縁層16の表面を研磨して平坦化すると、後工程で、導体回路24の形成が容易になり好ましい。この方法としては、CMP (Chemical Mechanical Polishing) 等が挙げられる。

【0023】次いで、絶縁層16の表面を粗面化すると共に、経由穴18の底部に残留する樹脂残りを除去する。なお、絶縁層16の表面の粗面化と、経由穴18の底部に残留する樹脂残りの除去は、個別に行っても良く、同時にても良いが、同時に行うのが好ましい。

【0024】この方法としては、プラスト処理等の機械的な方法、または、薬液処理により行う化学的方法が挙げられる。生産性の面から、一度に多量の処理が行える化学的方法が好ましく、例えば、有機溶媒等を接触させることにより絶縁層16の表面及び経由穴18の底部に残留する樹脂残りの膨潤処理を行った後、過マンガン酸塩、あるいは、クロム酸塩を主成分とするデスマニア処理液を、絶縁層16の表面及び経由穴18の底部に残留する樹脂残りに接触させて行う。なお、過マンガン酸塩を含有するデスマニア液を用いると、特に生産性が優れ好ましい。

【0025】次いで、図1(d)に示すように、給電用の導体皮膜20を、絶縁層16の表面や、経由穴18の壁面や、経由穴18の底面に露出する半導体素子の端子部12の表面に形成する。この導体皮膜20の形成方法としては、無電解メッキ法、あるいは、スパッタ、蒸着等の気相法により形成する。なお、無電解メッキにより形成すると、レーザー加工で形成した経由穴18の壁面へ、導体皮膜20を容易に形成することができ好ましい。この導体皮膜20を形成する導体としては、Cu、Ni等が挙げられるが、導体抵抗の低さ、エッチングのしやすさから、Cuが好ましい。また、この導体皮膜20の膜厚としては、0.2~2.0μm、より好ましくは、0.5~1μmとする。

【0026】次いで、図1(e)に示すように、導体皮膜20の表面に、メッキレジスト層22を形成した後、電気メッキを行い、メッキレジスト層22を形成していない部分の導体皮膜20の表面に電気メッキ金属を析出させて、導体皮膜20の厚みを厚くする。なお、このとき形成するメッキレジスト層22は、後工程で形成しようとする導体回路24のパターン形状と逆パターンの形状とする。

【0027】このメッキレジスト層22を形成する方法としては、公知のドライフィルムレジストをラミネート後、露光、現像を行い形成する。なお、必要であれば、無電解メッキ等で形成した厚みの薄い導体皮膜20の表面に、電気メッキを多少行って導体皮膜20の厚みを厚くした後、メッキレジスト層22を形成しても構わない。また、電気メッキの方法としては、公知の電気メッキ液を用いて行い、形成する電気メッキ金属としては、Cu、Ni、Auの内、少なくとも、一つが好ましい。

【0028】次いで、図1(f)に示すように、メッキレジスト層22を除去した後、メッキレジスト層22を除去した部分の表面に露出する、厚みの薄い給電用の導体皮膜20をソフトエッチングして除去し、導体回路24を形成する。このソフトエッチングに用いるソフトエッチング液としては、過硫酸塩-硫酸系、過酸化水素-硫酸系、塩銅系等の公知のエッチング液が使用できる。

【0029】なお、必要に応じて、図1(b)に示す絶縁層16を形成する工程から、図1(f)に示す導体回路24を形成する工程を、複数回繰り返すことにより、複数層の導体回路24を積み上げて形成しても良い。

【0030】次いで、図1(g)に示すように、導体回路24の表面のうち、外部端子28を接続する電極部24a以外の部分と、絶縁層16が露出する部分の表面に、カバーコート26を形成する。この形成方法としては、公知のソルダーレジストを塗布後、露光、現像、硬化させることにより形成する方法が好ましいが、絶縁樹脂を半導体ウエハー10の表面のほぼ全体に塗工、硬化させた後、レーザーで電極部24aを露出させる方法により、形成しても構わない。

【0031】次いで、半導体ウエハー10を半導体素子個片に切断した後、電極部24aに、ハンダボール等の外部端子28を接続することにより、半導体パッケージを製造する。なお、切断する前に、必要に応じて、電極部24aの表面にNi、Auメッキ層を形成しても構わない。また、電極部24aに外部端子28を接続した後、半導体素子個片に切断しても構わない。

【0032】このようにして得られた半導体パッケージは、経由穴18の底部に残留する樹脂残りが除去された後、経由穴18の壁面に導体皮膜20が形成されているため、半導体チップの端子部12と電極部24a間の導通不良が発生しにくくなっている。更に、絶縁層16の表面を粗面化した後、絶縁層16の表面に導体皮膜20が形成されているため、絶縁層16と導体皮膜20の密着性が向上して、高密度な導体回路24を形成することが可能になっており、半導体チップの端子部12と電極部24a間の導通不良が発生しにくくと共に、高密度配線に対応可能な半導体パッケージとなっている。

【0033】なお、上記の実施の形態は、導体回路24を形成する方法として、(ア)全面に給電層となる厚みの薄い導体皮膜20を形成した後、形成しようとする導体回路24の逆パターンのメッキレジスト層22を形成し、次いで電気メッキを行い、メッキレジスト層22を剥離した後、露出した給電層を除去する、いわゆるセミアディティブ法により形成する方法を説明したが、(イ)全面に給電層となる導体皮膜20を形成した後、電気メッキを行って導体皮膜20全体の厚みを厚くし、次いでメッキレジスト層22を形成した後、エッチング加工により、導体回路24を形成する方法でも良く、(ウ)厚みの薄い導体皮膜20を形成した後、メッキレ

ジスト層22を形成し、次いでエッティングにより回路パターンを形成した後、無電解メッキを行って回路パターンの部分の厚みを厚くして形成する方法でも良い。

【0034】なかでも、(ア)のセミアディティブ法により形成する方法を用いると、高密度配線がしやすく好ましい。(イ)の方法の場合、エッティングの際、厚み方向に厚くエッティングする必要があるため、サイドエッティングの量が増えてしまい、微細回路の形成が困難となる。また、(ウ)の方法の場合、エッティング形成した導体皮膜20の上に無電解メッキを行って皮膜の厚みを厚くする際に、サイド方向にもメッキ金属が形成されてしまい、微細回路を形成した場合には、短絡する危険性が高くなる。

【0035】

【実施例】(実施例1)複数のテスト用半導体素子が形成された半導体ウエハーを用意した。この半導体素子の端子部以外は、PSGのパッシバーション膜が形成されており、また、端子部は、アルミニウム配線上に、Pd/Ni系のバリアメタル層が形成されたものを用いた。なお、端子部の大きさは、100μm角とした。

【0036】そして、半導体ウエハーの表面に、カッピング処理を行った。その方法としては、3-アミノプロピルトリエトキシシランの2重量%濃度水溶液に、半導体ウエハーを約1分間浸漬し、ついで100~150°Cで30~60分乾燥することにより行った。

【0037】次いで、このカッピング処理を行った半導体ウエハーの表面に、市販の液状のエポキシ樹脂をダイコータを用いて塗工した後、110°Cで乾燥してタックフリー状態にし、次いで、130~150°Cで50~90分加熱することにより、供給した絶縁樹脂を半硬化状態とした。このとき、樹脂膜厚を測定したところ、約60μmであった。次いで、樹脂表面をCMP研磨装置を使って研磨することにより、絶縁層の表面を平坦化した。研磨後、樹脂膜厚を測定したところ、約50μmであった。

【0038】次いで、絶縁層の表面にUV-YAGレーザーを照射することにより、絶縁層の所定の部分を除去して、底面に半導体素子の端子部が露出する約50μmの経由穴を形成した。

【0039】次いで、経由穴を形成した半導体ウエハーを、有機溶媒で膨潤処理した後、過マンガン酸塩を主成分とするデスマニア処理液を用いて処理し、絶縁層の表面の粗面化と、経由穴の底部に残留する樹脂残りの除去を行った。その方法としては、シプレー社製のMLBシステムの処理液を用いて行い、絶縁層の表面及び経由穴の底部に残留する樹脂残りに、デスマニア処理液を接触させる方法により行った。その後、シプレー社製の無電解銅メッキ処理液を用いて全面に無電解銅メッキを行って、約0.3~1μmの給電用の導体被膜を形成した。

【0040】次いで、市販のドライフィルムレジスト（日本合成化学社製、品名 NIT225）をラミネート、露光、現像し、形成しようとする導体回路の逆パターンのメッキレジスト層を形成した。

【0041】次いで、公知の硫酸銅メッキ液を用い、メッキレジスト層の開口部に電気メッキ層を形成した後、ドライフィルム層を剥離し、次いで、露出した無電解銅メッキで形成した導体被膜を、過酸化水素-硫酸系のソフトエッキング液で除去して、導体回路を形成した後、170°Cで加熱してエポキシ樹脂を完全硬化させた。このときの導体回路の厚みは、約10~15μmであった。

【0042】次いで、導体回路の表面のうち、外部端子を接続する電極部以外の部分と、絶縁層が露出する部分の表面に、カバーコートを20~30μm形成した。その方法としては、市販のソルダーレジストを用いてスクリーン印刷により、全面にソルダーレジストを塗布した後、乾燥し、次いで、露光、現像処理を行って形成した。

【0043】次いで、市販の無電解Ni、Auメッキ液を用い、電極部の表面にNi、Au層を形成した後、外部端子としてハンダボールを搭載し、次いで半導体個片に切断して半導体パッケージを得た。

【0044】そして、得られた半導体パッケージの、温度サイクル試験、及びPCT試験を行い、接続抵抗の変化と、外観の異常の有無を評価した。温度サイクル試験は、得られた半導体パッケージを、-55°C30分及び125°C30分の処理を1サイクルとし、1000サイクル処理して評価した。また、PCT試験は、2気圧121°C100%RHのPCT（プレッシャークッカーテスト）処理を200時間行って評価した。

【0045】その結果は、半導体ウエハーと絶縁層との間の界面剥離や、絶縁層と導体回路との間の剥離は全く観察されず、また、導通抵抗の変化は10%以下であった。

【0046】（実施例2）絶縁層の表面の粗面化を、プラスト処理で行ったこと以外は実施例1と同様にして半導体パッケージを得た。そして、同様に評価した結果、半導体ウエハーと絶縁層との間の界面剥離や、絶縁層と導体回路との間の剥離は全く観察されず、また、導通抵抗の変化は10%以下であった。

【0047】（実施例3）絶縁層の表面の粗面化を、プラスト処理で行ったこと、及び、給電用の導体被膜を、銅のスパッタ法により、約0.5~1μm形成したこと以外は実施例1と同様にして半導体パッケージを得た。そして、同様に評価した結果、半導体ウエハーと絶縁層との間の界面剥離や、絶縁層と導体回路との間の剥離は全く観察されず、また、導通抵抗の変化は10%以下であった。

【0048】（実施例4）フィルム状に成形された絶縁

樹脂を半導体ウエハーの表面に熱圧着する方法により、半導体ウエハーの表面に樹脂層を形成したこと以外は実施例1と同様にして半導体パッケージを得た。その樹脂層の形成方法としては、真空ラミネータを用いて、90~120°Cで2~3kg/cm²、送り速度20~30cm/分の条件で、半導体ウエハーの表面に市販のエポキシ樹脂フィルムを熱圧着した後、150°Cで加熱して、絶縁樹脂を半硬化状態とした。そして、同様に評価した結果、半導体ウエハーと絶縁層との間の界面剥離や、絶縁層と導体回路との間の剥離は全く観察されず、また、導通抵抗の変化は10%以下であった。

【0049】（実施例5）半導体ウエハーの表面にカッピング処理を行わずに、絶縁層を形成したこと以外は実施例1と同様にして半導体パッケージを得た。そして、同様に評価した結果、絶縁層と導体回路との間の剥離は見られなかったが、半導体ウエハーと絶縁層との間の界面での若干の剥離が観察された。しかし、その程度は、実用上問題ないレベルであった。また、導通抵抗の変化は10%以下であった。

【0050】（比較例1）半導体ウエハーの表面にカッピング処理を行わずに絶縁層を形成したこと、及び、デスマニア処理液を用いた絶縁層の表面の粗面化と経由穴の底部に残する樹脂残りの除去を行わなかったこと、及び、給電用の導体被膜を、銅のスパッタ法により約0.5~1μm形成したこと以外は実施例1と同様にして半導体パッケージを得た。

【0051】そして、同様に評価した結果、半導体ウエハーと絶縁層との間の界面での若干の剥離が観察されたものの、その程度は実用上問題ないレベルであったが、絶縁層と導体回路との間に、実用上問題有るレベルの剥離が観測された。また、導通抵抗は、断線が多発していた。

【0052】（比較例2）比較例1において、給電用の導体被膜の形成を無電解銅メッキにより形成しようとしたが、無電解銅メッキ膜がメッキ液中に剥離してしまい、導体被膜が形成できず、半導体パッケージの作成ができなかった。理由は、アンカー効果が不足したため密着せず、メッキ膜が剥離したと考えられる。

【0053】（結果のまとめ）温度サイクル試験及びPCT試験の評価結果より、絶縁層の表面の粗面化と経由穴の底部に残する樹脂残りの除去を行った実施例で得られた半導体パッケージは、比較例で得られた半導体パッケージと比べて、半導体チップの端子部と電極間の導通不良が発生しにくいと共に、高密度配線に対応可能であることが確認された。また、半導体ウエハーの表面にカッピング処理を行った、実施例1~4で得られた半導体パッケージは、実施例5で得られた半導体パッケージと比較して、半導体ウエハーと絶縁層との間の界面での剥離が発生しにくく、半導体ウエハーと絶縁層との密着性が優れた半導体パッケージであることが確認され

た。

【0054】

【発明の効果】本発明に係る半導体パッケージの製造方法は、絶縁層の表面を粗面化すると共に、経由穴の底部に残留する樹脂残りを除去した後、経由穴の壁面及び絶縁層の表面に導体皮膜を形成して製造するため、半導体チップの端子部と電極間の導通不良が発生しにくくと共に、高密度配線に対応可能な半導体パッケージを得ることが可能になる。

【0055】本発明の請求項4に係る半導体パッケージの製造方法は、上記の効果に加え、半導体ウエハーと絶縁層との密着性が優れた半導体パッケージを得ることが可能になる。

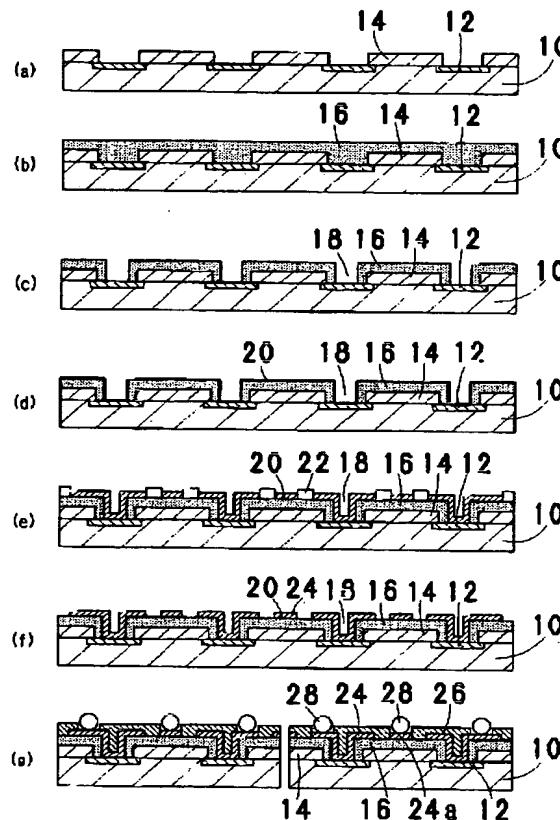
【図面の簡単な説明】

【図1】本発明に係る半導体パッケージの製造方法の一実施の形態の、工程を説明する断面図である。

【符号の説明】

10	半導体ウエハー
12	端子部
14	パッシベーション膜
16	絶縁層
18	経由穴
20	導体皮膜
22	メッキレジスト層
24	導体回路
24a	電極部
26	カバーコート
28	外部端子

【図1】



THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)